

(54) SEMICONDUCTOR DEVICE

(11) 60-229371 (A) (43) 14.11.1985 (19) JP

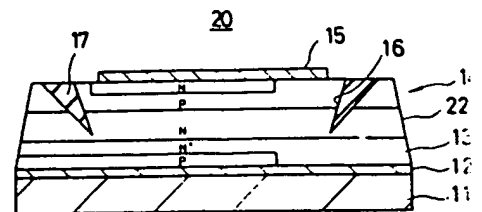
(21) Appl. No. 59-85640 (22) 27.4.1984

(71) TOSHIBA K.K. (72) YUICHI AOKI(1)

(51) Int. Cl. H01L29/74

PURPOSE: To inhibit the generation of leakage currents, and to improve the characteristics of an element by forming a bevel groove, the edge section of an opening section thereof makes an acute angle, in depth reaching to a section in the vicinity of a low resistance layer on the back side from the main surface of the groove in the peripheral region in a semiconductor layer.

CONSTITUTION: A low resistance layer 13 is shaped on a back electrode 11 consisting of tungsten, etc. through an aluminum layer 12. A plural layers of semiconductor layers 14 having different conduction types are laminated on the low resistance layer 13. A surface electrode 15 composed of aluminum, etc. is formed on the semiconductor layer 14 as an uppermost layer. A bevel groove 16 is shaped in the peripheral region of the surface of the semiconductor layers 14 in depth shallower than depth reaching to a position upper than the low resistance layer 13 by $10\mu\text{m}$. The inside of the bevel groove 16 is filled with an encapsulating resin, and a protective film 17 is formed. The edge section 18 of the opening section of the bevel groove 16 makes an acute angle.



257/622, 625, 127, 111, 496

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 昭60-229371

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和60年(1985)11月14日

H 01 L 29/74

6466-5F

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭59-85640

⑰ 出 願 昭59(1984)4月27日

⑱ 発 明 者 青 木 洋 一 川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内
⑲ 発 明 者 久 保 田 隆 川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内
⑳ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地
㉑ 代 理 人 弁 理 士 鈴 江 武 彦 外2名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

所定導電型の低抵抗層の表面側に形成された表面電極と、該低抵抗層上に所定導電型で複数層積層された半導体層と、最上層の該半導体層の主面の周辺領域に、開口部の縁の部分が鋭角をなし、かつ、前記低抵抗層の上方10μmの位置にまで達する深さより浅い深さで形成されたベベル溝とを具備することを特徴とする半導体装置。

3. 発明の詳細な説明

(発明の概分要)

本発明は、半導体装置に関する。

(発明の技術的背景)

従来、逆導通サイリスタ、非対称サイリスタ等を使用される所謂メサ形の半導体装置として第1図に示す構造のものが使用されている。図中1は、タングステンなどからなる表面電極である。表面電極1上には、アルミニウム層2を介して低抵抗

層3が形成されている。低抵抗層3上には、貫通する導電型の半導体層4が複数層積層されている。最上層の半導体層4上にはアルミニウム等からなる表面電極5が形成されている。また、この半導体層4の表面の周辺領域には、アルミニウム層2に達する深さでベベル溝6が形成されている。

(背景技術の問題点)

而して、ベベル溝6の形成は、サンドブラスト法によりアルミナ粉等を半導体層4に吹付けることにより行われている。このため、ベベル溝6の開口部の縁の部分7は、鋭角にならずに丸曲線になっている。その結果、表面電極1と表面電極5の所謂アノードとカソード間に順方向電圧を印加すると第2図に特性曲線Iにて示す如く、大電流が発生する。このため、素子特性が悪くなる問題があった。

(発明の目的)

本発明は、かかる点に鑑みてなされたものであり、漏れ電流の発生を抑制して、素子特性の向上を達成した半導体装置を提供することをその目的

とするものである。

(発明の要旨)

本発明は、半導体層の周辺領域に開口部の縁の部分に鋭角をなし、かつ、その主面から表面層の低抵抗層の近傍に到達する深さでベベル溝を形成したことにより、漏れ電流の発生を抑制して、素子特性の向上を達成した半導体装置である。

(発明の施例)

以下、本発明の実施例について図面を参照して説明する。

第3図は、本発明の一実施例の概略構成を示す断面図である。図中11は、タンガステンなどからなる表面電極である。表面電極11上には、アルミニウム層12を介して低抵抗層13が形成されている。低抵抗層13上には、異なる導電型の半導体層14が複数層積層されている。最上層の半導体層14上にはアルミニウム等からなる表面電極15が形成されている。また、この半導体層14の表面の周辺領域には、低抵抗層13の上方10 μ mの位置に達する深さよりも浅い深さでベ

ル溝16が形成されている。ベベル溝16内には、エンキャップ樹脂を充填して保護層17が形成されている。ここで、ベベル溝16の深さを低抵抗層13の上方10 μ mの位置に達する深さよりも浅い深さとしたのは、ベベル溝16は、漏れ電流の発生を抑制する作用を発揮するものであり、ベベル溝16が10 μ mよりも近い距離で低抵抗層13に達する深さを有しても下記表から明らかなように、漏れ電流の発生を十分に抑制できないからである。

表

ベベル溝と低抵抗層間の距離(μ m)	試料	1	2	3	4	5
アルミニウム層に達している場合		170	180	200	180	160
20 μ		140	160	140	150	160
10 μ		110	120	100	100	100
0 μ		100	120	110	100	90
-10 μ		100	110	100	90	100

このように形成された半導体装置20によれば、最上層の半導体層14の表面の周辺領域に、低抵抗層13の上方10 μ mの位置に達する深さよりも浅い深さでベベル溝16が形成されている。しかも、ベベル溝16の開口部の縁の部分18は、尖鋭な鋭角になっている。このため、表面電極15と表面電極11間の所置カソードとアノード間に順方向電圧を印加すると、第2図に特性線IIにて示す如く、漏れ電流の値を小さくすることができる。その結果、素子特性の向上を達成できる。

なお、ベベル溝16の形成は、例えば次のようにして行なう。まず、第4図(A)に示す如く、表面電極11上にアルミニウム層12を介して低抵抗層13、半導体層14、表面電極15を順次積層したものを容易にする。次いで、同図(B)に示す如く、低抵抗層13及び半導体層14の周側面にノズル21からアルミナ粉等を吹付けてサンドブラスト法により傾斜面22に加工する。次いで、同図(C)に示す如く、表面電極11等を一体に回転させながら、最上層の半導体層14の表面の

周辺領域に、ブレード刃23による加工を施し、低抵抗層13の上方10 μ mの位置に達する深さよりも浅い深さでベベル溝16を形成する。このようにして形成されたベベル溝16は、その開口部の縁の部分18を尖鋭な鋭角にしている。然る後、ベベル溝16の内壁面に形成された破片層をフックと刷毛からなる装置で除去し、ベベル溝16内にエンキャップ樹脂を充填して保護層17を形成し、半導体装置20を得る。

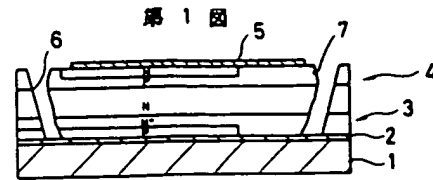
(発明の効果)

以上説明した如く、本発明に係る半導体装置によれば、漏れ電流の発生を抑制して、素子特性を向上させることができるものである。

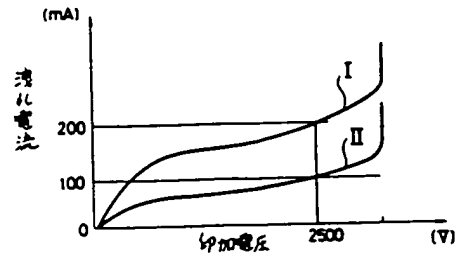
4. 図面の簡単な説明

第1図は、従来のメサ形半導体装置の概略構成を示す説明図、第2図は、漏れ電流と印加電圧との関係を示す説明図、第3図は、本発明の一実施例の概略構成を示す断面図、第4図(A)乃至同図(C)は、同実施例の半導体装置の製造方法を工程順に示す説明図である。

11…表面電極、12…アルミニウム層、13…低抵抗層、14…半導体層、15…表面電極、16…ベベル面、17…保護膜、20…半導体装置、21…ノズル、22…傾斜面、23…ブレード刃。

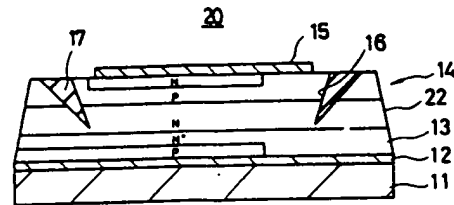


第2図



出願人代理人 弁理士 鈴江武彦

第3図



第4図

